

⑫ 公開特許公報(A) 平4-195189

⑬ Int. Cl.⁵G 09 G 3/36
G 02 F 1/133
H 04 N 5/66

識別記号

5 5 0
1 0 2 B

庁内整理番号

7926-5G
7634-2K
7205-5C

⑭ 公開 平成4年(1992)7月15日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 画像表示装置

⑯ 特 願 平2-328179

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

画 像 表 示 装 置

2. 特許請求の範囲

映像信号をデジタル信号に変換するA-D変換回路と、

このA-D変換回路で変換されたデジタル信号をアナログ信号の画素信号に変換して液晶表示パネルのデータラインに加えるD-A変換回路とを具備することを特徴とする画像表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶表示パネルの映像信号駆動回路を改良した画像表示装置に関する。

〔従来の技術〕

第4図は従来の駆動回路一体型のアクティブマトリクス液晶表示パネルの駆動回路を示す。即ち、駆動回路一体型のアクティブマトリクス液晶表示パネルはデータラインL201、L202……と電源電圧V_{com}との間に薄膜トランジスタTFT

及び負荷容量LCが直列に接続され、前記各薄膜トランジスタTFTのゲートはゲートラインL301、L302……に接続される。このゲートラインL301、L302……はインバータIを介して走査用シフトレジスタ4に接続され、この走査用シフトレジスタ4には外部回路5から水平同期信号φ_Hが加えられる。この水平同期信号φ_Hにより走査用シフトレジスタ4はゲートラインL301、L302……に水平走査信号を加えて、液晶表示パネルの画素である薄膜トランジスタTFTをオンにする水平走査を行う。前記各データラインL201、L202……と映像信号ラインL1との間にはスイッチング用の薄膜トランジスタTFT101、TFT102……が接続され、この各薄膜トランジスタTFT101、TFT102……と前記各データラインL201、L202……との接続点にはそれぞれ負荷容量CL101、CL102……が接続される。前記映像信号ラインL1には外部回路5から映像信号が加えられる。前記スイッチング用の薄膜トラン

ジスタTFT101, TFT102……のゲートはデータ用シフトレジスタ6に接続され、このデータ用シフトレジスタ6には外部回路5からクロック信号 ϕ_s が加えられる。このクロック信号 ϕ_s によりデータ用シフトレジスタ6はスイッチング用の薄膜トランジスタTFT101, TFT102……をオンして負荷容量C_L101, C_L102……に信号電荷を蓄積する。

而して、映像信号は映像信号ラインL1を通りスイッチング用の薄膜トランジスタTFT101, TFT102……のうち、ゲート信号が加えられてオンされた薄膜トランジスタを通して、負荷容量C_L101, C_L102……に信号電荷を蓄積していた。このようにして負荷容量C_L101, C_L102……に信号電荷を蓄積する処理を逐次行い、1走査ライン分の負荷容量C_L101, C_L102……に信号電荷を蓄積する処理を完了した時点で走査用シフトレジスタ4からゲートラインL301, L302……に水平走査信号を加えて選択された画素すなわち薄膜トランジスタ

TFTに信号電荷を伝送していた。

〔発明が解決しようとする課題〕

しかしながら、映像信号をスイッチング用の薄膜トランジスタTFT101, TFT102……及び負荷容量C_L101, C_L102……によりサンプリングするタイミングが先の画面の左側の薄膜トランジスタTFT101及び負荷容量C_L101は1走査ライン分のサンプリングが完了するまでに薄膜トランジスタTFT101のオフ電流により負荷容量C_L101に蓄積された信号電荷が薄膜トランジスタTFT101を通して映像信号ラインL1に放電し、他のデータラインL202……への信号に影響を与えるいわゆるクロストークが発生する虞れがあった。したがって、1走査ライン分のサンプリングが完了するまで負荷容量C_L101, C_L102……に信号電荷を保持しておかなければならず、この為、スイッチング用の薄膜トランジスタTFT101, TFT102……のオフ電流は極めて微小にすると共に、負荷容量C_L101, C_L102……は許される

限り大きくする必要があった。しかしながら、駆動回路一体型のアクティブマトリクス液晶表示パネルの駆動回路は通常ポリシリコンでスイッチング用の薄膜トランジスタTFT101, TFT102……が作られる為、オフ電流の制御は極めて困難であった。又、負荷容量C_L101, C_L102……を大きくすることはスイッチング用の薄膜トランジスタTFT101, TFT102……の電流駆動能力を高めることが必要であり、結局、技術的にはスイッチング用の薄膜トランジスタTFT101, TFT102……のオフ電流を小さくすることと、電流駆動能力を高めることはトレードオフの関係がある為、極めて製造上困難であった。

本発明は上記の実情に鑑みてなされたもので、液晶表示パネルのデータラインの駆動回路としてD-A（デジタル-アナログ）変換回路を用いることにより、クロストークが少なく、製造が容易で、安定な動作が得られる画像表示装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明は上記課題を解決するために、A-D変換回路により映像信号をデジタル信号に変換し、この変換されたデジタル信号をD-A変換回路でアナログ信号の画素信号に変換して液晶表示パネルのデータラインに加えるものである。

〔作用〕

上記手段により、映像信号をA-D変換回路で一旦デジタル信号に変換し、そのデジタル信号をD-A変換回路によりアナログ信号の画素信号に変換して液晶表示パネルのデータラインを駆動することにより、ポリシリコン薄膜トランジスタで作られたサンプルホールド回路を無くしてデータラインをスタチックドライブにできるため、クロストークが少なく、製造が容易で、安定な動作を得ることができる。

〔実施例〕

以下図面を参照して本発明の一実施例を詳細に説明する。

第1図は本発明の駆動回路一体型のアクティブ

マトリクス液晶表示パネルの駆動回路を示す。即ち、駆動回路一体型のアクティブマトリクス液晶表示パネルはデータラインL201, L202...と電源電圧 V_{com} との間に薄膜トランジスタTFT及び負荷容量LCが直列に接続され、前記各薄膜トランジスタTFTのゲートはゲートラインL301, L302...に接続される。このゲートラインL301, L302...はインバータIを介して走査用シフトレジスタ4に接続され、この走査用シフトレジスタ4には外部回路5から水平同期信号 ϕ_H が加えられる。

一方、映像信号は外部回路5から4ビット(bit) A-D変換回路7の入力端に入力され、この4ビットA-D変換回路7の出力端にはI₀ビットライン、I₁ビットライン、I₂ビットライン、I₃ビットラインが接続される。前記I₀ビットラインはラッチ回路LAとインバータIVと抵抗8Rを直列に介してデータラインL201に接続され、前記I₁ビットラインはラッチ回路LAとインバータIVと抵抗4Rを直列に介して

データラインL201に接続され、前記I₂ビットラインはラッチ回路LAとインバータIVと抵抗2Rを直列に介してデータラインL201に接続され、前記I₃ビットラインはラッチ回路LAとインバータIVと抵抗Rを直列に介してデータラインL201に接続される。

又、クロック信号 ϕ_s は外部回路5からデータ用シフトレジスタ6に入力され、このデータ用シフトレジスタ6からストロブ信号が前記各ラッチ回路LAに加えられる。

前記抵抗R, 2R, 4R, 8RとインバータIVとラッチ回路LAはそれぞれ4ビットのD-A変換回路8を構成する。

第2図は前記D-A変換回路8を示し、第3図は第2図の真理値表を示す。すなわち、D-A変換回路8は、I₀ビットのデータは抵抗8Rを通し、I₁ビットのデータは抵抗4Rを通し、I₂ビットのデータは抵抗2Rを通し、I₃ビットのデータは抵抗Rを通して、抵抗の重みづけをすることにより、出力Oである画素信号としてGND、

1/15 $V_{DD} \sim V_{DD}$ を得ることができ、分解能は1/15となる。

而して、先ず、映像信号をA-D変換回路7によりデジタル信号に変換してD-A変換回路8に出力する。D-A変換回路8はA-D変換回路7から入力されたデジタル信号を各ラッチ回路LAとその出力にインバータIVと抵抗R, 2R, 4R, 8Rをそれぞれ対応して接続した回路により、アナログ信号の画素信号として液晶表示パネルの各データラインL201, L202...へ出力し、走査用シフトレジスタ4でゲートラインL301, L302...をコントロールして選択された画素すなわち薄膜トランジスタTFTに画素信号を伝送する。

尚、分解能を高くするためにはA-D変換回路7及びD-A変換回路8のビット数を増やせばよい。

[発明の効果]

以上述べたように本発明によれば、映像信号をA-D変換回路で一旦デジタル信号に変換し、そ

のデジタル信号をD-A変換回路によりアナログ信号の画素信号に変換して液晶表示パネルのデータラインを駆動することにより、ポリシリコン薄膜トランジスタで作られたサンプルホールド回路を無くしてデータラインをスタックドライブにできるため、クロストークが少なく、製造が容易で、安定な動作を得ることができる。

4. 図面の簡単な説明

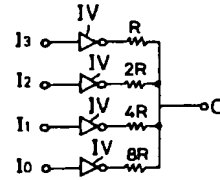
第1図～第3図は本発明の一実施例を示すもので、第1図は映像表示装置の一部を示す回路図、第2図は第1図のD-A変換回路を示す回路図、第3図は第1図のD-A変換回路の真理値表を示す説明図、第4図は従来の映像表示装置の一部を示す回路図である。

4...走査用シフトレジスタ、5...外部回路、6...データ用シフトレジスタ、7...4ビットA-D変換回路、8...D-A変換回路、TFT101, TFT102...スイッチング用の薄膜トランジスタ、C_L101, C_L102...負荷容量、TFT...薄膜トランジスタ、LC...負荷容量、

L201, L202 ... データライン、L301,
L302 ... ゲートライン。

真理値表

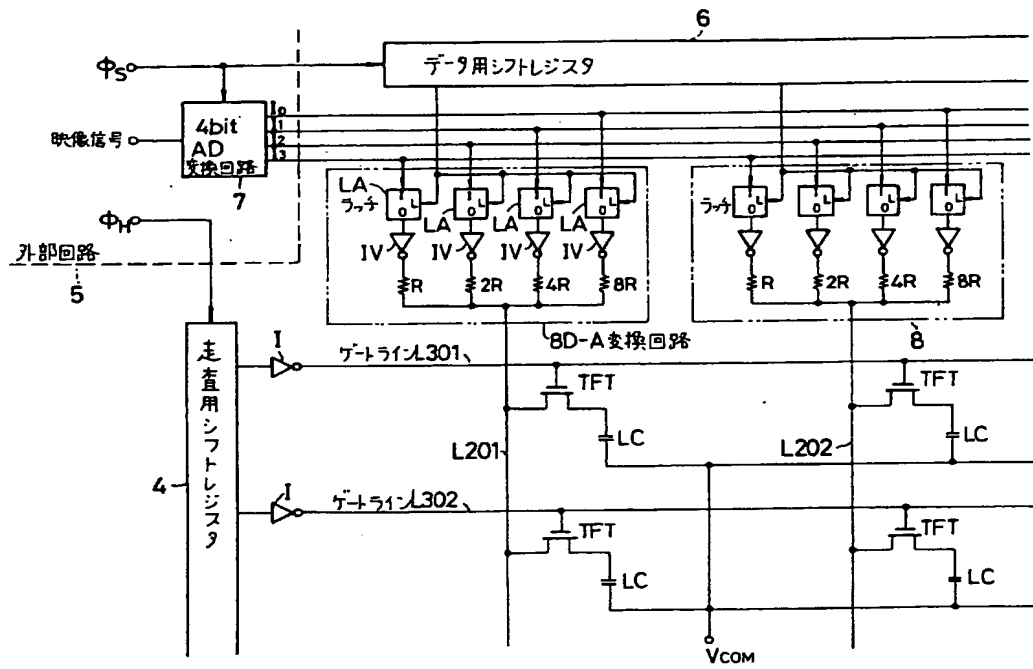
I ₀	I ₁	I ₂	I ₃	O
0	0	0	0	V _{DD}
1	0	0	0	14/15 V _{DD}
0	1	0	0	13/15 V _{DD}
1	1	0	0	12/15 V _{DD}
0	0	1	0	11/15 V _{DD}
1	0	1	0	10/15 V _{DD}
0	1	1	0	9/15 V _{DD}
1	1	1	0	8/15 V _{DD}
0	0	0	1	7/15 V _{DD}
1	0	0	1	6/15 V _{DD}
0	1	0	1	5/15 V _{DD}
1	1	0	1	4/15 V _{DD}
0	0	1	1	3/15 V _{DD}
1	0	1	1	2/15 V _{DD}
0	1	1	1	1/15 V _{DD}
1	1	1	1	GND



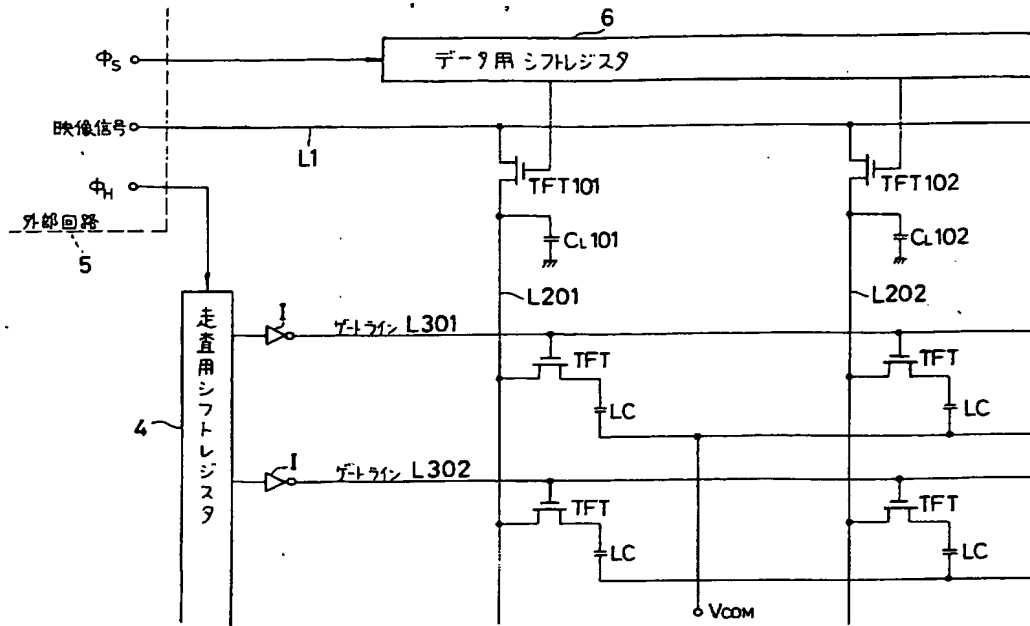
出願人代理人 弁理士 鈴江 武彦

第 2 図

第 3 図



第 1 図



第 4 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-195189

(43)Date of publication of application : 15.07.1992

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 5/66

(21)Application number : 02-328179

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 28.11.1990

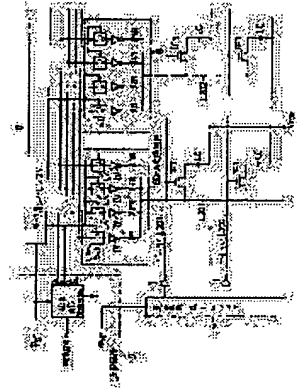
(72)Inventor : KANBARA MINORU

(54) IMAGE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To lessen cross-talk, to easily manufacture a device and to obtain a stable action by using a D/A conversion circuit as a driving circuit for the data line of a liquid crystal display panel.

CONSTITUTION: A video signal is converted to a digital signal by an A/D conversion circuit 7 once, and the digital signal is converted to the picture element signal by the analog signal by a D/A(digital - analog) conversion circuit 8, and then, the data lines L201 and L202 of the liquid crystal display panel are driven. Then, by eliminating a sample/hold circuit which is made of polysilicone thin film transistor, the data lines L201 and L202 are statically driven. Thus, the cross-talk is lessened and the device can be easily manufactured and the stable action can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office